

特長

非常に高い DC 精度

- 最大オフセット電圧: 30 μV
- 最大オフセット電圧ドリフト: 0.3 $\mu\text{V}/^\circ\text{C}$
- 最大電圧ノイズ: 0.35 μV p-p (0.1 Hz~10 Hz)
- 最小オープン・ループ・ゲイン: 5 mV/V
- 最小 CMRR: 130 dB
- 最小 PSRR: 120 dB

マッチング特性

- 最大オフセット電圧マッチング: 30 μV
- 最大オフセット電圧ドリフト・マッチング: 0.3 $\mu\text{V}/^\circ\text{C}$
- 最小 CMRR マッチング: 130 dB

8 ピンのナロー・ボディ PDIP または

- ハーメチック CERDIP、またはハーメチック CERDIP/883B パッケージを採用

概要

AD708 は高精度のデュアル・モノリシック・オペアンプです。各アンプは、いずれのバイポーラ・オペアンプでも最大オフセット電圧と最大オフセット電圧ドリフトで、優れた DC 精度を提供します。

マッチング仕様はデュアル・オペアンプの中でも最も優れたものです。さらに、AD708 は 5 V/ μV の最小オープン・ループ・ゲインを提供し、350 nV p-p (0.1 Hz~10 Hz)の最大入力電圧ノイズを保証しています。すべての DC 仕様は、温度に対する優れた安定性を示し、オフセット電圧ドリフトは 0.1 $\mu\text{V}/^\circ\text{C}$ (typ)で、入力バイアス電流ドリフトは最大 25 pA/ $^\circ\text{C}$ です。

AD708 には 4 種類の性能グレードがあります。AD708J は 0 $^\circ\text{C}$ ~70 $^\circ\text{C}$ の商用温度範囲仕様で、ナロー・ボディ PDIP を採用しています。AD708A と AD708B は-40 $^\circ\text{C}$ ~+85 $^\circ\text{C}$ の工業用温度範囲仕様で、CERDIP パッケージを採用しています。

ピン配置

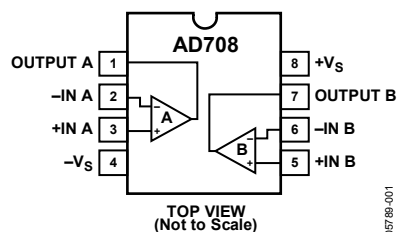


図1.PDIP (N)および CERDIP (Q)パッケージ

AD708S は-55 $^\circ\text{C}$ ~+125 $^\circ\text{C}$ の軍用温度範囲仕様で、MIL-STD-883B に準拠した CERDIP 軍用バージョン・パッケージを採用しています。

製品のハイライト

- AD708 は優れたマッチングと個別仕様の組み合わせを持つため、高ゲイン高精度の計装アンプの構築に最適です。
- AD708 は低オフセット電圧ドリフトかつ低ノイズであるため、システム全体性能を犠牲にすることなく非常に小さい信号を増幅することができます。
- AD708 は、10 V/ μV (typ)のオープン・ループ・ゲインと 140 dB 同相モード除去比を持つため、高精度アプリケーションに最適です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2006 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	動作原理.....	10
ピン配置.....	1	クロストーク性能.....	10
概要.....	1	ゲイン=-100での動作.....	11
製品のハイライト.....	1	高精度可変ゲイン・アンプ.....	11
改訂履歴.....	2	ブリッジ・シグナル・コンディショナ.....	12
仕様.....	3	高精度絶対値回路.....	12
絶対最大定格.....	5	受動部品の選択.....	12
ESDに関する注意.....	5	外形寸法.....	13
代表的な性能特性.....	6	オーダー・ガイド.....	13
マッチング特性.....	9		

改訂履歴

1/06—Rev. B to Rev. C

Updated Format.....	Universal
Removed TO-99 Package.....	Universal
Deleted AD707 References.....	Universal
Deleted LT1002 Reference.....	1
Deleted Figure 1.....	1
Deleted Metalization Photograph.....	5
Moved Figure 25, Figure 26, and Figure 27 to Theory of Operation section.....	10
Updated Outline Dimensions.....	13
Changes to Ordering Guide.....	13

2/91—Rev. A to Rev. B

仕様

特に指定がない限り、25°C、±15 V dc。

表1.

Parameter	Conditions	AD708J/AD708A			AD708B			AD708S			Unit
		Min ¹	Typ	Max ¹	Min ¹	Typ	Max ¹	Min ¹	Typ	Max ¹	
INPUT OFFSET VOLTAGE ²			30	100		5	50		5	30	μV
Drift	T _{MIN} to T _{MAX}		50	150		15	65		15	50	μV
Long Term Stability			0.3	1.0		0.1	0.4		0.1	0.3	μV/°C
			0.3			0.3			0.3		μV/month
INPUT BIAS CURRENT			1.0	2.5		0.5	1.0		0.5	1	nA
Average Drift	T _{MIN} to T _{MAX}		2.0	4.0		1.0	2.0		1.0	4	nA
			15	40		10	25		10	30	pA/°C
OFFSET CURRENT	V _{CM} = 0 V		0.5	2.0		0.1	1.0		0.1	1	nA
Average Drift	T _{MIN} to T _{MAX}		2.0	4.0		0.2	1.5		0.2	1.5	nA
			2	60		1	25		1	25	pA/°C
MATCHING CHARACTERISTICS ³											
Offset Voltage	T _{MIN} to T _{MAX}			80			50			30	μV
Offset Voltage Drift				150			75			50	μV
Input Bias Current	T _{MIN} to T _{MAX}			1.0			0.4			0.3	μV/°C
Common-Mode Rejection	T _{MIN} to T _{MAX}			4.0			1.0			1.0	nA
Power Supply Rejection	T _{MIN} to T _{MAX}			5.0			2.0			2.0	nA
Channel Separation		120	140		130	140		130	140		dB
		110			130			130			dB
		110			120			120			dB
		110			120			120			dB
		135			140			140			dB
INPUT VOLTAGE NOISE	0.1 Hz to 10 Hz		0.23	0.6		0.23	0.6		0.23	0.35	μV p-p
	f = 10 Hz		10.3	18		10.3	12		10.3	12	nV/√Hz
	f = 100 Hz		10.0	13.0		10.0	11.0		10.0	11	nV/√Hz
	f = 1 kHz		9.6	11.0		9.6	11.0		9.6	11	nV/√Hz
INPUT CURRENT NOISE	0.1 Hz to 10 Hz		14	35		14	35		14	35	pA p-p
	f = 10 Hz		0.32	0.9		0.32	0.8		0.32	0.8	pA/√Hz
	f = 100 Hz		0.14	0.27		0.14	0.23		0.14	0.23	pA/√Hz
	f = 1 kHz		0.12	0.18		0.12	0.17		0.12	0.17	pA/√Hz
COMMON-MODE REJECTION RATIO	V _{CM} = ±13 V	120	140		130	140		130	140		dB
	T _{MIN} to T _{MAX}	120	140		130	140		130	140		dB
OPEN-LOOP GAIN	V _O = ±10 V	3	10		5	10		4	10		V/μV
	R _{LOAD} ≥ 2 kΩ	3	10		5	10		4	7		V/μV
	T _{MIN} to T _{MAX}	3	10		5	10		4	7		V/μV
POWER SUPPLY REJECTION RATIO	V _S = ±3 V to ±18 V	110	130		120	130		120	130		dB
	T _{MIN} to T _{MAX}	110	130		120	130		120	130		dB
FREQUENCY RESPONSE											
Closed-Loop Bandwidth		0.5	0.9		0.5	0.9		0.5	0.9		MHz
Slew Rate		0.15	0.3		0.15	0.3		0.15	0.3		V/μs
INPUT RESISTANCE											
Differential			60			200			200		MΩ
Common Mode			200			400			400		GΩ

Parameter	Conditions	AD708J/AD708A			AD708B			AD708S			Unit
		Min ¹	Typ	Max ¹	Min ¹	Typ	Max ¹	Min ¹	Typ	Max ¹	
OUTPUT VOLTAGE	R _{LOAD} ≥ 10 kΩ	13.5	14		13.5	14.0		13.5	14		±V
	R _{LOAD} ≥ 2 kΩ	12.5	13.0		12.5	13.0		12.5	13		±V
	R _{LOAD} ≥ 1 kΩ	12.0	12.5		12.0	12.5		12.0	12.5		±V
	T _{MIN} to T _{MAX}	12.0	13.0		12.0	13.0		12.0	13		±V
OPEN-LOOP OUTPUT RESISTANCE			60		60			60			Ω
POWER SUPPLY											
Quiescent Current			4.5	5.5		4.5	5.5		4.5	5.5	mA
Power Consumption	V _S = ±15 V		135	165		135	165		135	165	mW
	V _S = ±3 V		12	18		12	18		12	18	mW
Operating Range		±3		±18	±3		±18	±3		±18	V

¹すべての min/max 仕様を保証。太字で示す仕様は、最終電気テストですべての製品ユニットについてテストされます。これらのテスト結果を使って、出荷品質レベルが計算されます。

²入力オフセット電圧仕様は、T_A = 25°C で 5 分間動作後について保証します。

³マッチングは、2 個のアンプのパラメータ間の差として定義されます。

絶対最大定格

表2.

Parameter	Rating
Supply Voltage	±22 V
Internal Power Dissipation ¹	
Input Voltage ²	±V _S
Output Short-Circuit Duration	Indefinite
Differential Input Voltage	+V _S and -V _S
Storage Temperature Range (Q)	-65°C to +150°C
Storage Temperature Range (N)	-65°C to +125°C
Lead Temperature (Soldering 60 sec)	300°C

¹ 熱特性。

8 ピン PDIP: $\theta_{JC} = 33^{\circ}\text{C}/\text{W}$, $\theta_{JA} = 100^{\circ}\text{C}/\text{W}$

8 ピン CERDIP: $\theta_{JC} = 30^{\circ}\text{C}/\text{W}$, $\theta_{JA} = 110^{\circ}\text{C}/\text{W}$

² ±22 V より低い電源電圧の場合、最大入力電圧は電源電圧に等しくなります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

特に指定がない限り、 $V_S = \pm 15\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

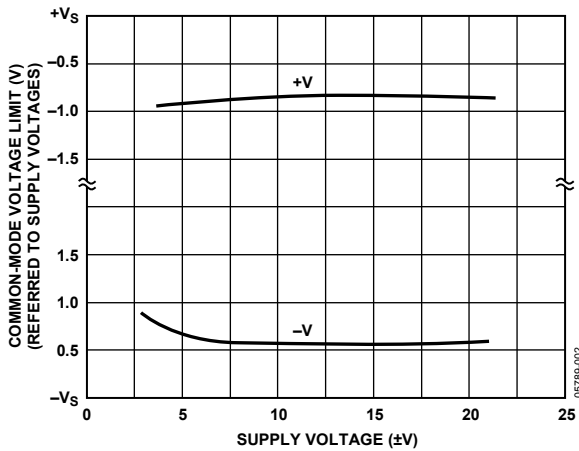


図2.電源電圧対同相モード入力範囲

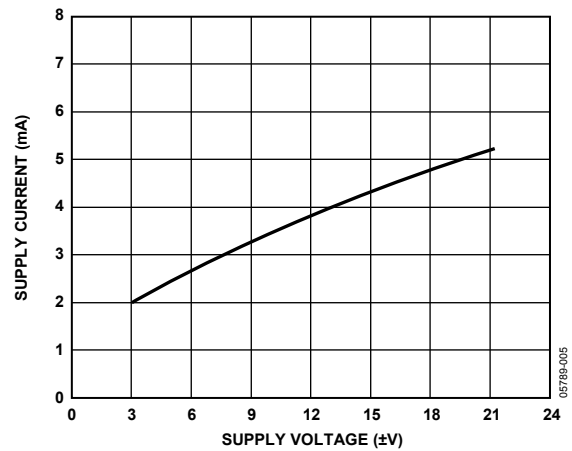


図5.電源電圧対電源電流

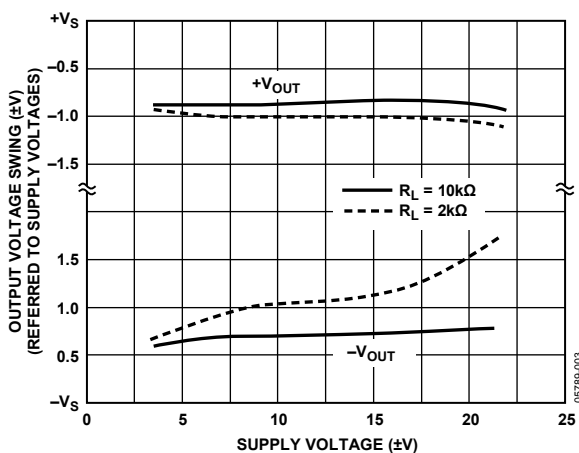


図3.電源電圧対出力電圧振幅

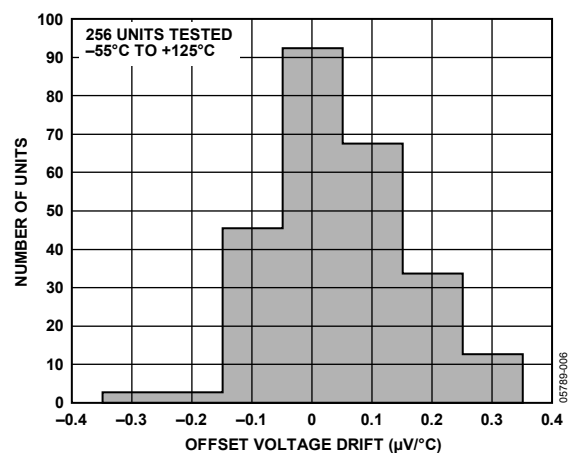


図6.オフセット電圧ドリフトの分布

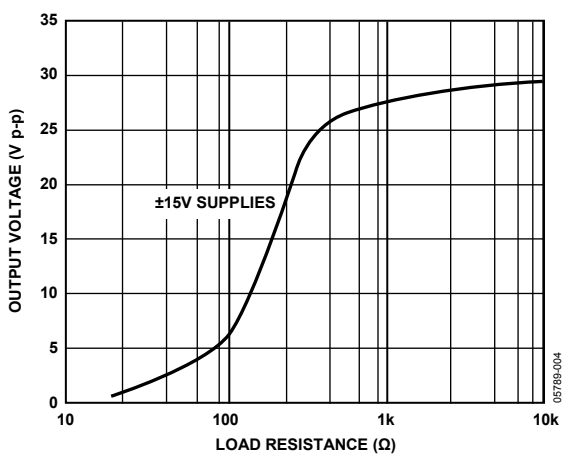


図4.負荷抵抗対出力電圧振幅

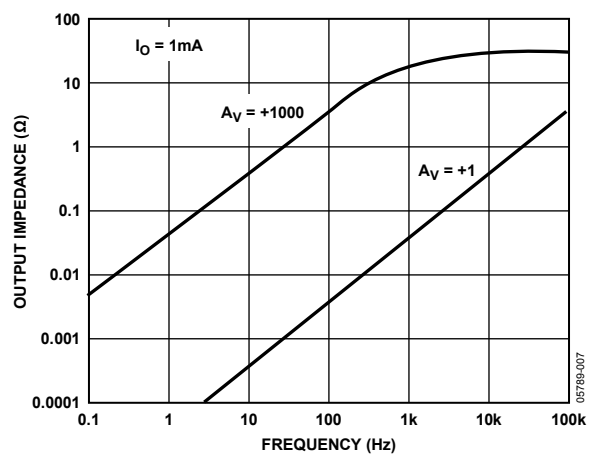


図7.出力インピーダンスの周波数特性

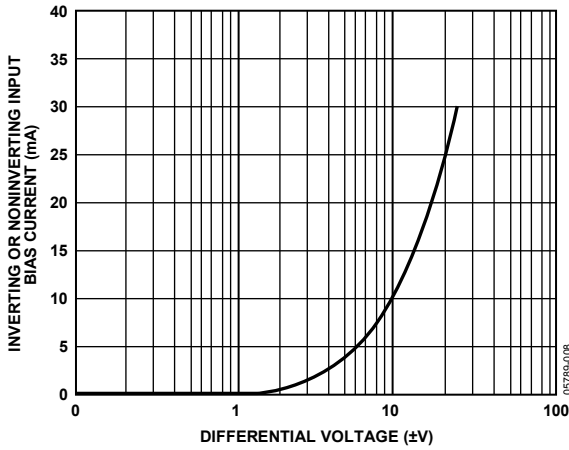


図8. 差動入力電圧対入力バイアス電流

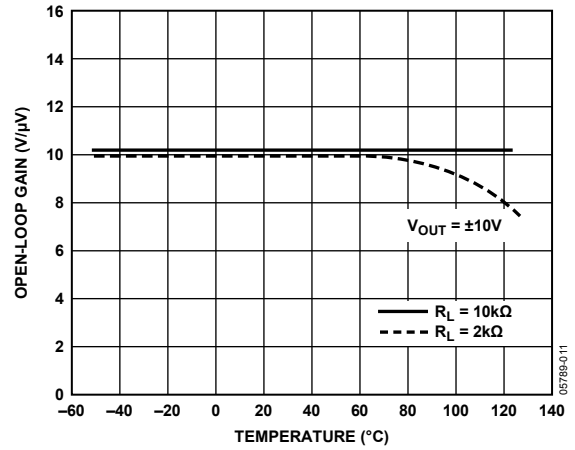


図11. オープン・ループ・ゲインの温度特性

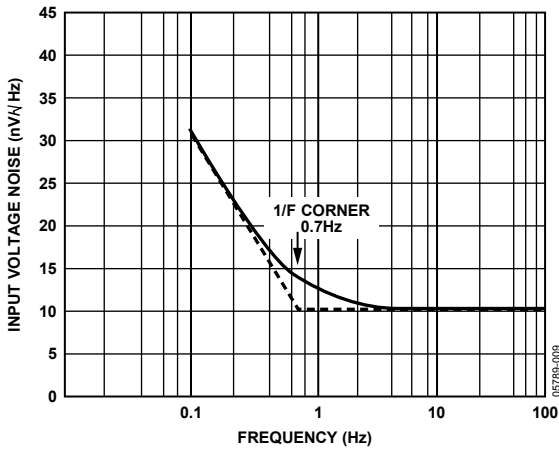


図9. 入力ノイズ・スペクトル密度

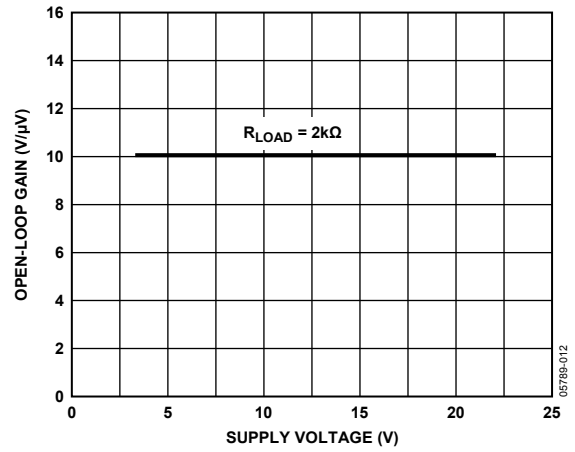


図12. 電源電圧対オープン・ループ・ゲイン

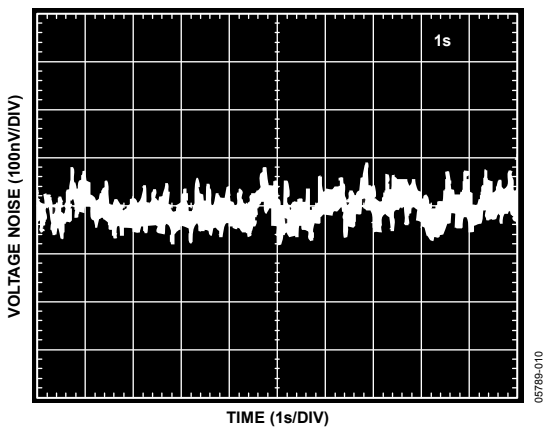


図10. 0.1 Hz~10 Hz の電圧ノイズ

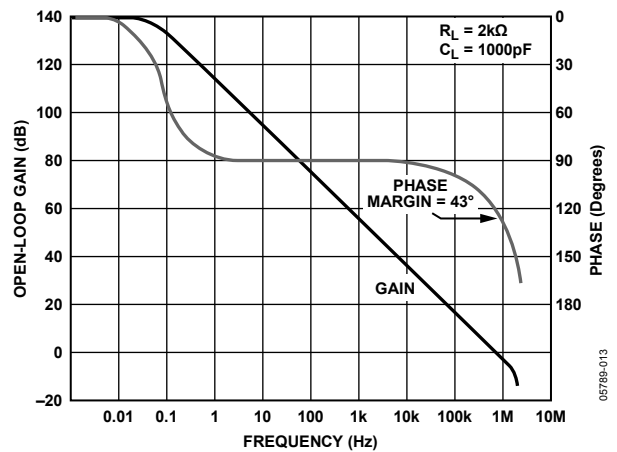


図13. オープン・ループ・ゲインおよび位相の周波数特性

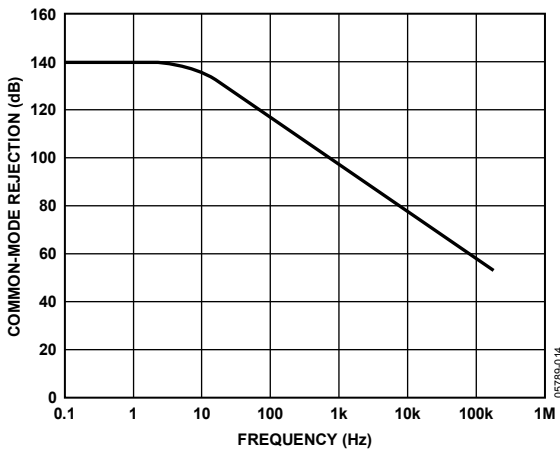


図14.同相モード除去比の周波数特性

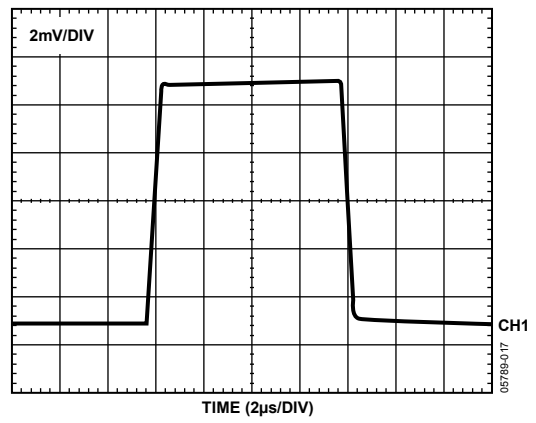


図17.小信号過渡応答、 $A_V = +1$ 、 $R_L = 2\text{ k}\Omega$ 、 $C_L = 50\text{ pF}$

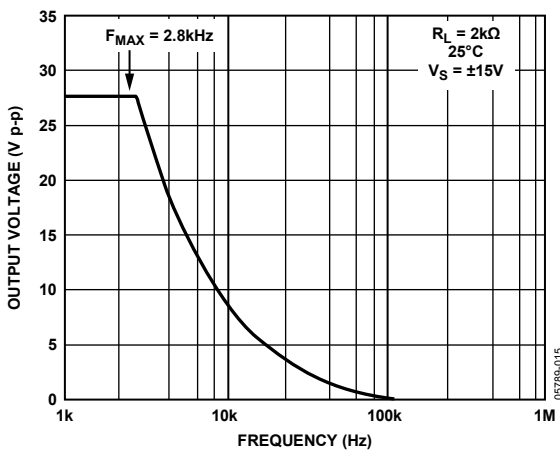


図15.大信号周波数応答

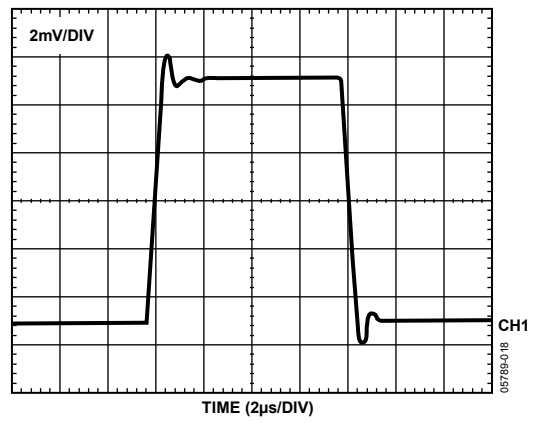


図18.小信号過渡応答、 $A_V = +1$ 、 $R_L = 2\text{ k}\Omega$ 、 $C_L = 1000\text{ pF}$

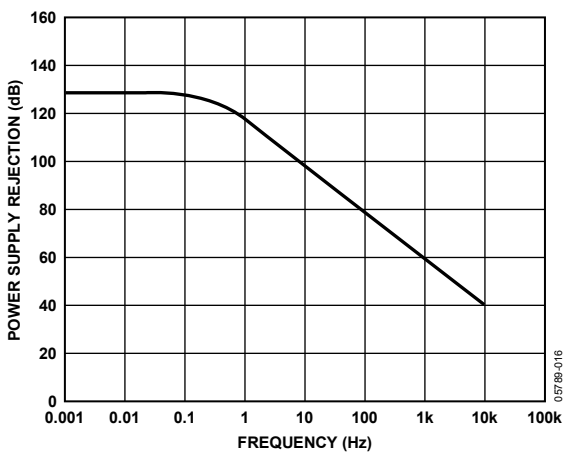


図16.電源除去比の周波数特性

マッチング特性

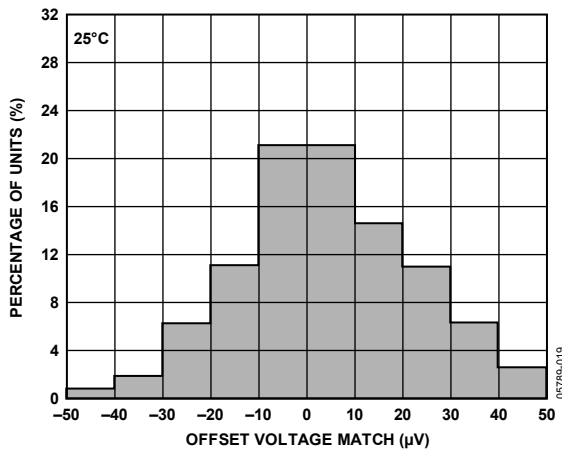


図19.オフセット電圧マッチングの分布

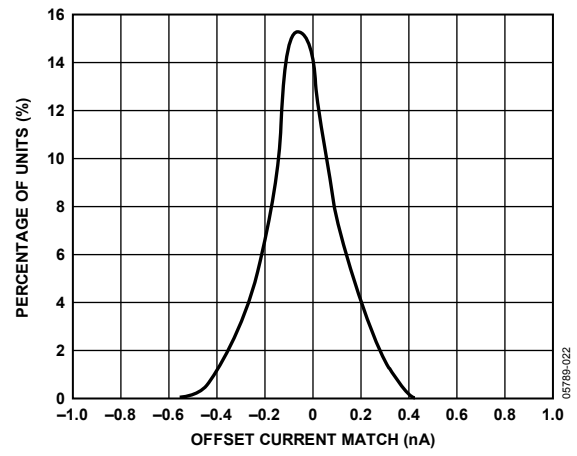


図22.入力オフセット電流マッチングの分布

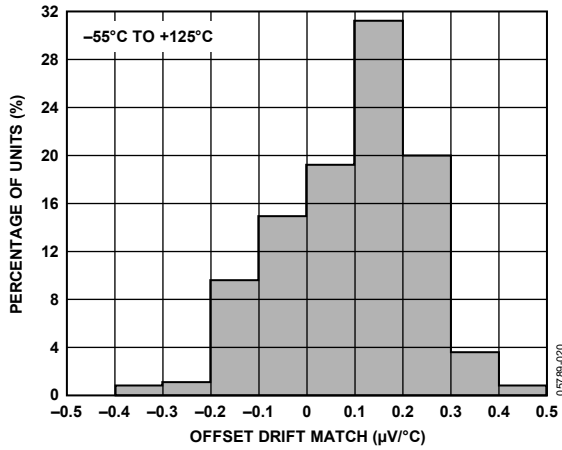


図20.オフセット電圧ドリフト・マッチングの分布

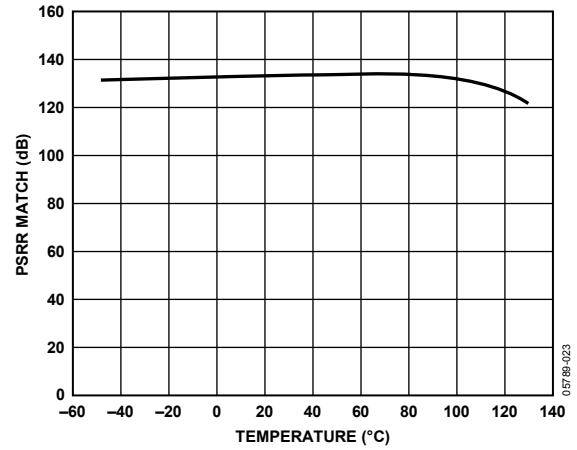


図23.PSRR マッチングの温度特性

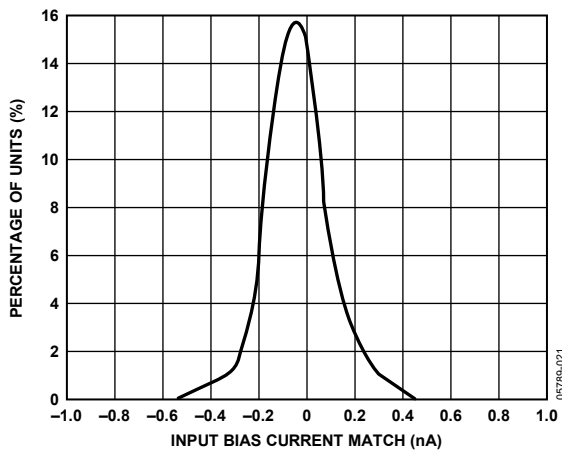


図21.入力バイアス電流マッチングの分布

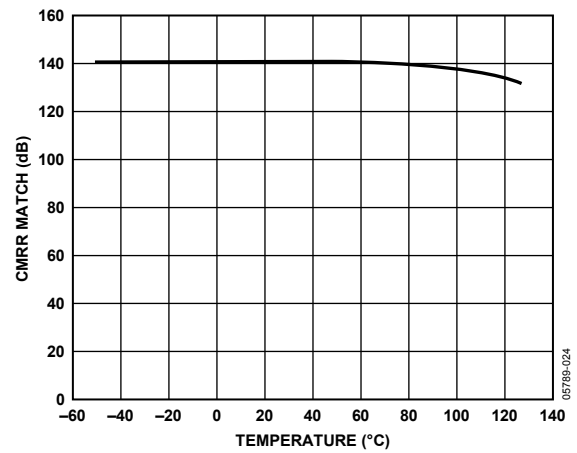


図24.CMRR マッチングの温度特性

動作原理

クロストーク性能

図 25、図 26、図 27のように、AD708 は非常に小さいクロストークを示します。図 25に、AD708 のA側出力を無負荷で-10 Vから+10 Vまでゆっくり(0.2 Hz)動かしたときに、B側に発生するオフセット電圧を示します。これは、チップ内の消費電力全体が変化しないためデバイスに対するストレスが最も小さい状態を示しています。出力デバイスの消費電力の位置のみが変化します。図 26に、A側を 2 kΩ負荷で駆動したときのB側での入力オフセット電圧変化を示します。この場合チップ内で消費電力が変化し、消費電力の最大変化は 7.5 Vで発生します。図 27に、最も厳しい条件でのクロストークを示します。A側は 0 V入力のリニアフォロワーとして接続され、±5 mAのシンク電流およびソース電流が出力されます。

$$\text{消費電力} = (30 \text{ V})(5 \text{ mA}) = 150 \text{ mW}$$

消費電力のこの大きな変化でも、B 側の入力オフセット電圧は 8 μV (リニア)しか変化しません。

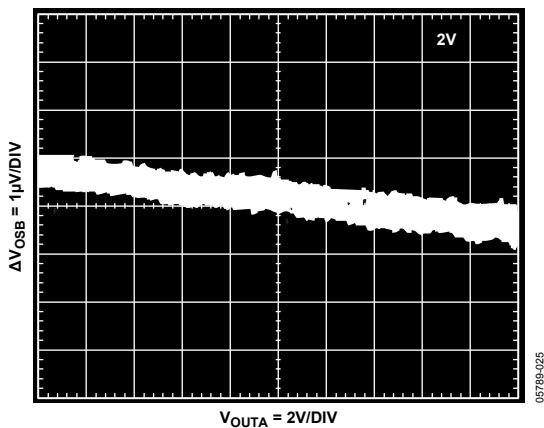
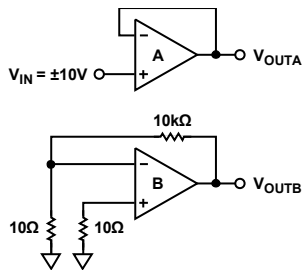


図25.無負荷時のクロストーク

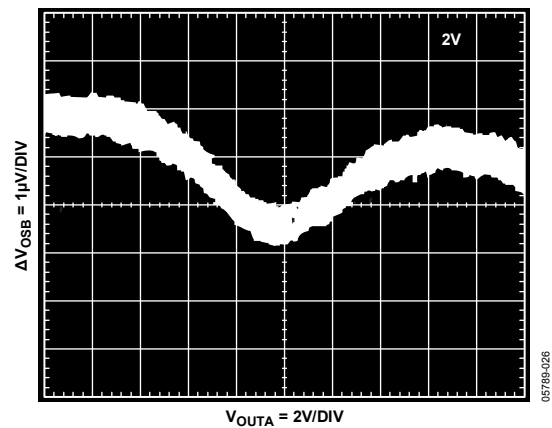
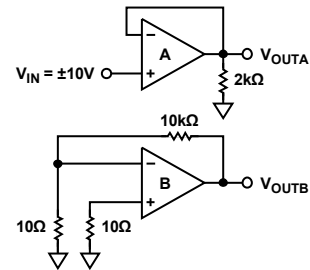


図26.2 kΩ 負荷でのクロストーク

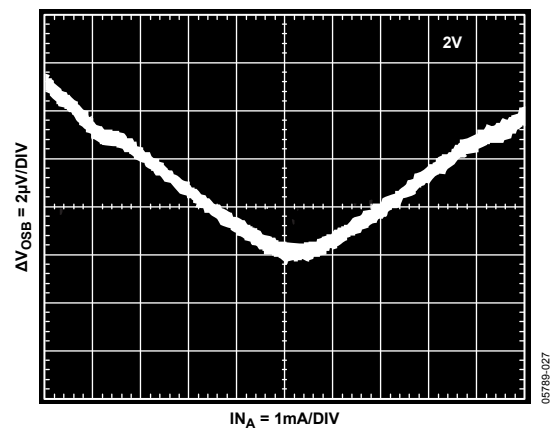
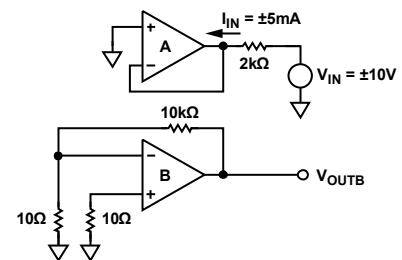


図27.ソースおよびシンク状態でのクロストーク

ゲイン=-100での動作

実際のアプリケーションでのAD708の優れたDC精度を示すため、表3にゲイン=-100のときの誤差計算値を示します。図28には、この構成を示します。

表3.

Error Sources	Maximum Error Contribution $A_V = 100$ (S Grade) (Full Scale: $V_{OUT} = 10\text{ V}$, $V_{IN} = 100\text{ mV}$)	
	V_{OS}	$30\ \mu\text{V}/100\text{ mV}$
I_{OS}	$(100\text{ k}\Omega)(1\text{ nA})/10\text{ V}$	= 10 ppm
Gain (2 k Ω Load)	$10\text{ V}/(5 \times 106)/100\text{ mV}$	= 20 ppm
Noise	$0.35\text{ mV}/100\text{ mV}$	= 4 ppm
V_{OS} Drift	$(0.3\text{ mV}/^\circ\text{C})/100\text{ mV}$	= 3 ppm/ $^\circ\text{C}$
Total Unadjusted Error	@ 25 $^\circ\text{C}$	= 334 ppm > 11 bits
	-55 $^\circ\text{C}$ to +125 $^\circ\text{C}$	= 634 ppm > 10 bits
With Offset Calibrated Out	@ 25 $^\circ\text{C}$	= 34 ppm > 14 bits
	-55 $^\circ\text{C}$ to +125 $^\circ\text{C}$	= 334 ppm > 11 bits

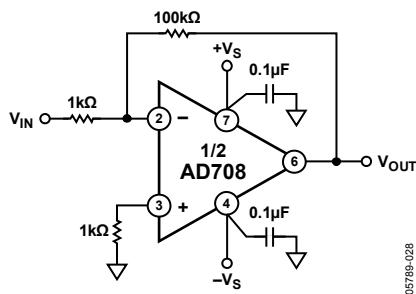


図28.ゲイン-100の構成

この誤差計算では抵抗比の誤差がなく、かつ電源変動による誤差がないものと仮定しています(AD708Sの最小PSRRは120 dBであるためこの仮定は現実的です)。外付け抵抗から、不一致と温度ドリフトによりゲイン誤差が発生することがあります。

高精度可変ゲイン・アンプ

3個のオペアンプを使用する可変ゲイン・アンプを図29に示します。このアンプでは、AD708の優れたマッチング特性を利用して高いDC精度を実現しています。

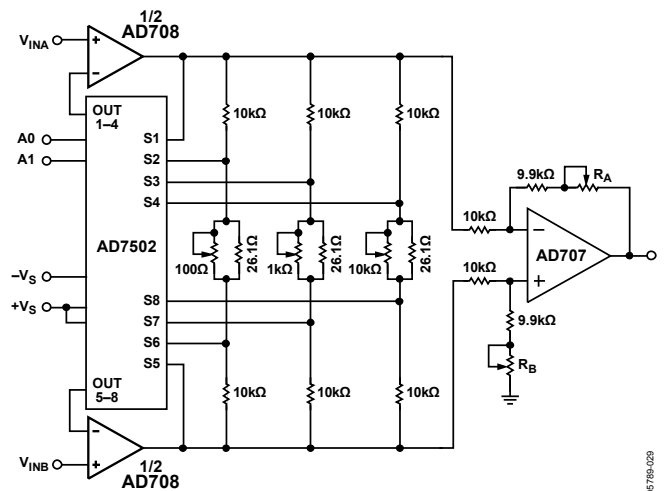


図29.高精度 PGA

この回路のゲインは、AD7502マルチプレクサのセレクト・ラインA0とA1から制御され、1、10、100、1000が可能です。

入力ステージでは、AD708Sの30 μV の最大オフセット電圧マッチングと1nAの最大入力バイアス電流マッチングにより非常に高いDC精度を実現しています。精度は、AD708の極めて低いドリフト性能により温度対して安定に維持されています。

0.1%のゲイン精度と高い同相モード除去比を実現するためには、回路を調整する必要があります。

同相モード除去比を最大にするために、

1. セレクト・ラインを設定して、ゲイン=1かつ $V_{INB} = \text{グラウンド}$ となるようにします。
2. 高精度DC電圧を V_{INA} に加えて、 $V_O = -V_{INA}$ が必要な精度になるように R_A を調整します。
3. V_{INB} と V_{INA} を接続し、期待されるフルスケール同相モードに等しい入力電圧を加えます。
4. $V_O = 0\text{ V}$ となるように R_B を調整します。

ゲイン誤差を最小にするため、

1. コントロール・ラインを使ってゲイン=10を選択し、差動入力電圧を加えます。
2. 100 Ω のポテンショメータを $V_O = 10\text{ V}_{IN}$ となるように調整します(必要に応じて V_{IN} 振幅を調整します)。
3. ゲイン=100とゲイン=1000に対してステップ1とステップ2を繰り返し、それぞれ1k Ω と10k Ω のポテンショメータを調整します。

図29に示すデザインでは、 $\pm 1\%$ の抵抗と $\pm 5\%$ のポテンショメータを使う場合、0.1%のゲイン精度と0.1 $\mu\text{V}/\text{V}$ の同相モード除去比が可能です。

ブリッジ・シグナル・コンディショナ

図 30に示す回路でAD708 を使うと、正確で安価なダイナミック・ブリッジ・コンディショナを実現することができます。AD708 の低オフセット電圧マッチングと低オフセット電圧ドリフト・マッチングの組み合わせにより、優れた回路性能を持つ計装アンプを実現することができます。オープン・ループ・ゲイン、入力オフセット電流、低入力バイアス電流のようなAD708 の優れた仕様により、回路精度に制限はありません。

この回路構成では、適切な精度のゲイン抵抗 R_G と安定で正確なリファレンス電圧のみが必要です。伝達関数は次式で表されます。

$$V_O = V_{REF} [\Delta R / (R + \Delta R)] [R_G / R]$$

AD708S から発生する主な誤差は、次だけです。

$$V_{OS_OUT} = (V_{OS_MATCH})(2R_G/R) = 30 \text{ mV}$$

$$V_{OS_OUT}(T) = (V_{OS_DRIFT})(2R_G/R) = 0.3 \text{ mV}/^\circ\text{C}$$

高精度を実現するためには、抵抗 R_G は低ドリフト係数を持つ 0.1%以上である必要があります。

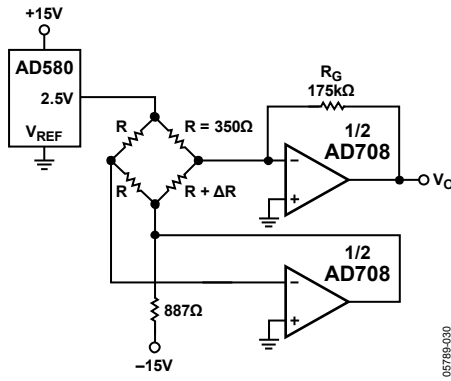


図30.ブリッジ・シグナル・コンディショニング回路

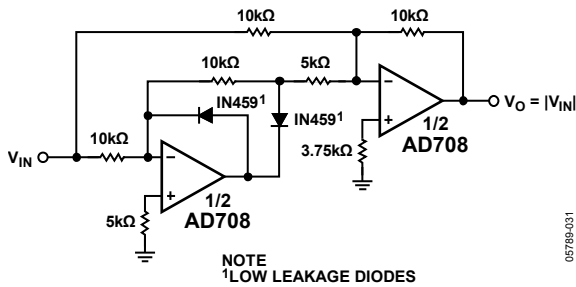


図31.高精度絶対値回路

高精度絶対値回路

AD708 は、図 31に示す高精度絶対値回路用に最適です。AD708 のオフセット電圧はマッチングしているため、この回路は入力信

号を正確に処理することができます。さらに、オフセット電圧ドリフトが厳格にマッチングしているため、軍用温度範囲で回路の分解能を維持することができます。高いDCオープン・ループ・ゲインと優れたゲイン直線性により、大信号レベルと小信号レベルでの回路動作が優れています。

この回路では、大きな DC 誤差は、2 つのアンプのオフセット電圧、アンプ入力オフセット電流のマッチング、抵抗の mismatch のみから発生します。AD708S から発生する誤差成分は、 $-55^\circ\text{C} \sim +125^\circ\text{C}$ で 0.001%以下です。

25°Cでの最大誤差は、

$$\frac{30 \mu\text{V} + (10 \text{ k}\Omega)(1 \text{ nA})}{10 \text{ V}} = 40 \mu\text{V}/10 \mu\text{V} = 4 \text{ ppm}$$

+125°Cまたは-55°Cでの最大誤差は、

$$\frac{50 \mu\text{V} + (2 \text{ nA})(10 \text{ k}\Omega)}{10 \text{ V}} = 7 \text{ ppm @ } +125^\circ\text{C}$$

図 32 に、0.05 Hzで $\pm 3 \text{ mV}$ の入力信号に対するこの回路のVIN対VOUTを示します。この回路はゼロ交差で非常に低いオフセットを持っていることに注意してください。また、この回路は、2 個のダイオードの極性を逆にするにより $V_{OUT} = -|V_{IN}|$ を発生することもできます。

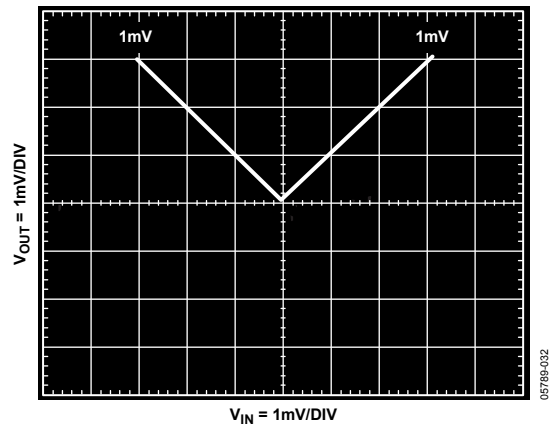
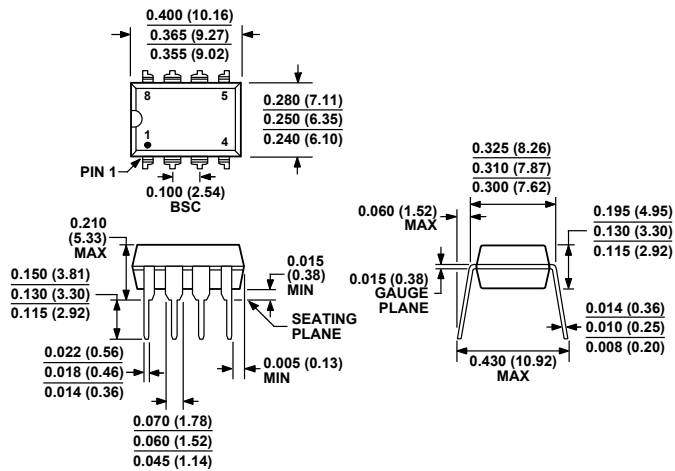


図32.絶対値回路の性能(入力信号= 0.05 Hz)

受動部品の選択

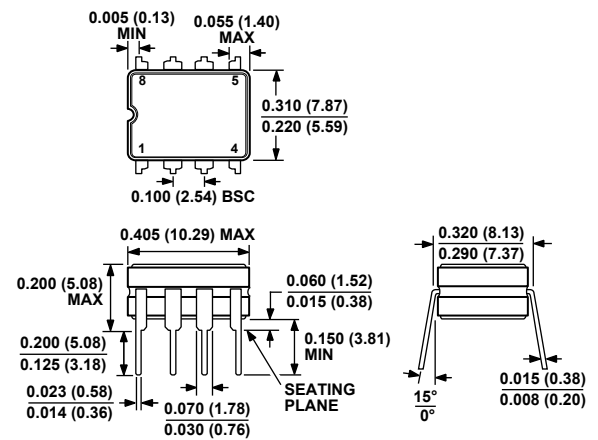
AD708 の高精度と低ドリフト特性をフルに利用するためには、高品質の受動部品を使ってください。10 ppm/°C 以下の温度係数を持つディスクリット抵抗や抵抗回路は、Vishay 社、Caddock 社、Precision Replacement Parts (PRP)社などから提供されています。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-001-BA
 CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.
 CORNER LEADS MAY BE CONFIGURED AS WHOLE OR HALF LEADS.

図33.8 ピン・プラスチック・デュアルインライン・パッケージ[PDIP]
 ナロー・ボディ
 (N-8)
 寸法:インチ(mm)



CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図34.8 ピン・セラミック・デュアルインライン・パッケージ
 [CERDIP]
 (Q-8)
 寸法:インチ(mm)

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD708JN	0°C to +70°C	8-Lead Plastic Dual In-Line Package [PDIP]	N-8
AD708JNZ ¹	0°C to +70°C	8-Lead Plastic Dual In-Line Package [PDIP]	N-8
AD708AQ	-40°C to +85°C	8-Lead Ceramic Dual In-Line Package [CERDIP]	Q-8
AD708BQ	-40°C to +85°C	8-Lead Ceramic Dual In-Line Package [CERDIP]	Q-8
AD708SQ/883B	-55°C to +125°C	8-Lead Ceramic Dual In-Line Package [CERDIP]	Q-8

¹ Z = 鉛フリー・デバイス。